

DERWENT-ACC-NO: 1992-067414

DERWENT-WEEK: 199951

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Thin-film FET for memory - has source and
drain electrodes buried in insulation film between
upper gate electrode and film covering lower electrode
NoAbstract Dwg 1/9

PATENT-ASSIGNEE: CASIO COMPUTER CO LTD[CASK]

PRIORITY-DATA: 1990JP-0092021 (April 9, 1990)

PATENT-FAMILY:		PUB-DATE	LANGUAGE
PUB-NO			
PAGES	MAIN-IPC		
JP 03290970 A		December 20, 1991	N/A
005	N/A		
JP 2969184 B2		November 2, 1999	N/A
009	H01L 027/115		

APPLICATION-DATA:		APPL-DESCRIPTOR	APPL-NO
PUB-NO			
APPL-DATE			
JP 03290970A	N/A		1990JP-0092021
April 9, 1990			
JP 2969184B2	N/A		1990JP-0092021
April 9, 1990			
JP 2969184B2	Previous Publ.		JP 3290970
N/A			

INT-CL (IPC): H01L021/8247, H01L027/11, H01L027/115, H01L029/78
H01L029/788, H01L029/792

ABSTRACTED-PUB-NO: JP 2969184B

EQUIVALENT-ABSTRACTS:

Optical disk having a resin substrate has a trench on the periphery when the resin substrates are adhered to each other. A groove or pit for tracking is formed on a side of a resin substrate. A 1st ceramics layer, a

recording
layer, 2nd ceramics layer and a reflection layer are laminated in
order. The
plates are adhered using epoxy gp. resin. A trench is formed at the
periphery
and a UV curing type resin is filled into the trench. The resin is
cured and
the periphery is cut.

ADVANTAGE - No change of mechanical characteristics at higher temp..

TITLE-TERMS: THIN FILM PET MEMORY SOURCE DRAIN ELECTRODE BURY
INSULATE FILM

UPPER GATE ELECTRODE FILM COVER LOWER ELECTRODE

NOABSTRACT

DERWENT-CLASS: U11 U12 U13 U14

EPI-CODES: U11-C18B5; U12-B03A; U12-D02A1; U12-Q; U13-C04B2; U14-
A03B7;
U14-H01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-050492

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2969184号

(45) 発行日 平成11年(1999)11月2日

(24) 登録日 平成11年(1999)8月27日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

21/8247

29/78

3 7 1

29/788

29/792

請求項の数1 (全 9 頁)

(21) 出願番号

特願平2-92021

(22) 出願日

平成2年(1990)4月9日

(65) 公開番号

特開平3-290970

(43) 公開日

平成3年(1991)12月20日

審査請求日

平成9年(1997)3月17日

(73) 特許権者

999999999

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者

松本 広

東京都八王子市石川町2951番地の5 カ

シオ計算機株式会社八王子研究所内

(72) 発明者

内藤 英雄

東京都八王子市石川町2951番地の5 カ

シオ計算機株式会社八王子研究所内

審査官

瀧内 健夫

(58) 調査した分野(Int.Cl.⁸, DB名)

H01L 21/8247

H01L 27/115

H01L 29/792

(54) 【発明の名称】 薄膜トランジスタメモリ

1

(57) 【特許請求の範囲】

【請求項1】 半導体層と、この半導体層の一面側に形成されたメモリ用ゲート絶縁膜と、該半導体層の一面側の該メモリ用ゲート絶縁膜の上部に形成されたメモリ用ゲート電極と、前記半導体層の他面側に形成されたソース、ドレイン電極と、前記半導体層の他面および前記ソース、ドレイン電極を覆って形成され、前記メモリ用ゲート電極領域に対応する部分が他の部分より厚くされたゲート絶縁膜と、該ゲート絶縁膜上に、前記半導体層領域のほぼ全面に対応した領域を含んで形成された選択トランジスタ用ゲート電極とを備えたことを特徴とする薄膜トランジスタメモリ。

【発明の詳細な説明】

【産業上の利用分野】

本発明は薄膜トランジスタメモリに関するものである

2

る。

〔従来の技術〕

最近、電気的に書込み、消去、読出しが可能なE²PROM等のメモリとして、メモリ用トランジスタと選択用トランジスタとを薄膜トランジスタで構成した薄膜トランジスタメモリが考えられている。

この薄膜トランジスタメモリとしては、従来、ガラス等からなる絶縁性基板の上に、メモリ用の薄膜トランジスタ(以下メモリトランジスタという)と選択用の薄膜トランジスタ(以下選択トランジスタという)とを隣接させて形成し、このメモリトランジスタと選択トランジスタとを、その一方のソース電極と他方のドレイン電極とを接続する接続配線を介して直列に接続してトランジスタメモリを構成したものが知られている。なお、メモリトランジスタと選択トランジスタとはそれぞれ、ゲー

3

ト電極と、ゲート絶縁膜と、i型半導体層と、ソース、ドレイン電極とを積層して構成されており、メモリトランジスタのゲート絶縁膜は電荷蓄積機能をもつ絶縁膜で形成され、選択トランジスタのゲート絶縁膜は電荷蓄積機能のない絶縁膜で形成されている。

第9図は前記従来の薄膜トランジスタメモリの等価回路図であり、ここでは、1つのメモリトランジスタに対して2つの選択トランジスタを備えた薄膜トランジスタメモリの等価回路を示している。

第9図において、 T_1 はメモリトランジスタ、 T_2 はメモリトランジスタ T_1 の両側に配置された2つの選択トランジスタであり、メモリトランジスタ T_1 のソース電極 S_1 は一方の選択トランジスタ T_2 のドレイン電極 D_2 に接続され、メモリトランジスタ T_1 のドレイン電極 D_1 は他方の選択トランジスタ T_2 のソース電極 S_2 に接続されている。そして、前記一方の選択トランジスタ T_2 のソース電極 S_2 はトランジスタメモリのソース電極 S_0 とされ、他方の選択トランジスタ T_2 のドレイン電極 D_2 はトランジスタメモリのドレイン電極 D_0 とされており、前記ソース電極 S_0 は図示しないソースラインに接続され、前記ドレイン電極 D_0 は図示しないドレインラインに接続されている。またメモリトランジスタ T_1 のゲート電極 G_1 は図示しない第1のゲートラインに接続され、2つの選択トランジスタ T_2 のゲート電極 G_2 は図示しない第2のゲートラインに共通接続されている。なお、前記第1および第2のゲートラインは多数本平行に配線され、ソースラインおよびドレインラインはゲートラインと直交させて多数本配線されており、メモリトランジスタ T_1 と選択トランジスタ T_2 とによって構成される薄膜トランジスタメモリは、第1、第2ゲートラインとソース、ドレインラインとの交差部にそれぞれ形成されている。

この薄膜トランジスタメモリの書き込み、消去、読出しは次のようにして行なわれる。

第9図において、(a)は書き込み時、(b)は消去時、(c)は読出し時の電圧印加状態を示している。

まず書き込みについて説明すると、書き込み時は、第9図(a)に示すように、ソース電極 S_0 およびドレイン電極 D_0 を接地(GND)するとともに、選択トランジスタ T_2 のゲート電極 G_2 にON電圧 V_{ON} を印加し、メモリトランジスタ T_1 のゲート電極 G_1 に書き込み電圧 $+V_p$ を印加する。この

ような電圧を印加すると、選択トランジスタ T_2 がオンし、メモリトランジスタ T_1 のゲート電極 G_1 とソース、ドレイン電極 S_1, D_1 との間に書き込み電圧 $+V_p$ がかかって、メモリトランジスタ T_1 が書き込み状態(OFF状態)となる。

また消去時は、第9図(b)に示すように、ソース電極 S_0 およびドレイン電極 D_0 を接地(GND)するとともに、選択トランジスタ T_2 のゲート電極 G_2 にON電圧 V_{ON} を印加し、メモリトランジスタ T_1 のゲート電極 G_1 に、書き込み電圧 $+V_p$ とは逆電位の消去電圧 $-V_p$ を印加する。この

4

ような電圧を印加すると、選択トランジスタ T_2 がオンし、メモリトランジスタ T_1 のゲート電極 G_1 とソース、ドレイン電極 S_1, D_1 との間に書き込み電極 $+V_p$ と逆電位の電位差 $(-V_p)$ が生じて、メモリトランジスタ T_1 が消去状態(ON状態)となる。

一方、読出し時は、第9図(c)に示すように、メモリトランジスタ T_1 のゲート電極 G_1 とソース電極 S_0 を接地(GND)するとともに、選択トランジスタ T_2 のゲート電極 G_2 にON電圧 V_{ON} を印加し、ドレイン電極 D_0 に読出し電圧 V_0 を印加する。このような電圧を印加すると、メモリトランジスタ T_1 が消去状態(ON状態)であればドレイン電極 D_0 からソース電極 S_0 に電流が流れ、メモリトランジスタ T_1 が書き込み状態(OFF状態)であれば前記電流は流れないため、ソース電極 S_0 からソースラインに流れる電流の有無に応じた読出しデータが出力される。

なお、ここでは1つのメモリトランジスタ T_1 に対して2つの選択トランジスタ T_2 を備えた薄膜トランジスタメモリについて説明したが、薄膜トランジスタメモリには、1つのメモリトランジスタに対して1つの選択トランジスタを備えているものがある。

〔発明が解決しようとする課題〕

しかしながら、前記従来の薄膜トランジスタメモリは、基板上にメモリ用の薄膜トランジスタと選択用の薄膜トランジスタとを隣接させて形成して、このメモリトランジスタと選択トランジスタとを接続配線により直列に接続したものであるため、1つのトランジスタメモリの素子面積(平面積)が大きく、したがってトランジスタメモリを縦横に配列して構成されるメモリマトリックスの集積度を上げることが難しいという問題をもっていた。しかも、従来の薄膜トランジスタメモリは、メモリ用薄膜トランジスタのゲート絶縁膜を電荷蓄積機能をもつ絶縁膜とし、選択用薄膜トランジスタのゲート絶縁膜を電荷蓄積機能のない絶縁膜としたものであるため、メモリ用薄膜トランジスタと選択用薄膜トランジスタとをそれぞれ別工程で製造しなければならず、したがって薄膜トランジスタメモリの製造に多くの工程数を要するという問題ももっていた。

本発明は前記のような実情にかんがみてなされたものであって、その目的とするところは、メモリ用薄膜トランジスタと選択用薄膜トランジスタとで構成されるトランジスタメモリの素子面積を小さくして集積度を上げることができるとともに、少ない工程数で容易に製造することができる薄膜トランジスタメモリを提供することにある。

〔課題を解決するための手段〕

本発明の薄膜トランジスタメモリは、半導体層と、この半導体層の一面側に形成されたメモリ用ゲート絶縁膜と、該半導体層の一面側の該メモリ用ゲート絶縁膜に対応した部分の上部に形成されたメモリ用ゲート電極と、前記半導体層の他面側に形成されたソース、ドレイン電

極と、前記半導体層の他面および前記ソース、ドレイン電極を覆って形成され、前記メモリ用ゲート電極領域に対応する部分が他の部分より厚くされたゲート絶縁膜と、該ゲート絶縁膜上に、前記半導体層領域のほぼ全面に対応した領域を含んで形成された選択トランジスタ用ゲート電極とを備えたものである。

このように、半導体層の一面側にメモリ用ゲート絶縁膜とメモリ用ゲート電極を形成し、半導体層の他面側に、ソース、ドレイン電極、およびゲート絶縁膜、選択トランジスタ用ゲート電極を形成すると、メモリ用ゲート電極と選択トランジスタ用ゲート電極が積層される構造となり、同一平面に並べて形成する場合に比して面積を小さくすることができる。

〔実施例〕

以下、本発明の実施例を図面を参照して説明する。

第1図～第5図は本発明の第1の実施例を示したもので、第1図および第2図は薄膜トランジスタメモリの断面図および平面図である。

この薄膜トランジスタメモリの構造を説明すると、図中11はガラス等からなる絶縁性基板であり、この基板11上には下部ゲート電極 G_{10} が形成されている。この下部ゲート電極 G_{10} は、基板11上に形成した下部ゲートライン GL_{10} の上に局部的に突出形成されており、この下部ゲート電極 G_{10} は、下部ゲートライン GL_{10} と同じ幅に、300Åの厚さに形成されている。また、前記基板11上には、前記下部ゲートライン GL_{10} および下部ゲート電極 G_{10} を覆う平坦化絶縁膜12が形成されている。この平坦化絶縁膜12は電荷蓄積機能のない絶縁膜からなり、この平坦化絶縁膜12は、下部ゲートライン GL_{10} を厚く覆い、下部ゲート電極 G_{10} を薄く覆う厚さに形成されている。なお、この平坦化絶縁膜12の下部ゲートライン GL_{10} 上の部分の膜厚は4000Å、下部ゲート電極 G_{10} 上の部分の膜厚は1000Åである。そして、この平坦化絶縁膜12の上には、下部ゲート絶縁膜13が基板11のほぼ全面にわたって形成されている。この下部ゲート絶縁膜13はその上層部にの全域に電荷蓄積機能をもたせたもので、この下部ゲート絶縁膜13は、電荷蓄積機能のないSiN（窒化シリコン）からなる下層絶縁膜13aの上に、Si（シリコン）の組成比を多くして電荷蓄積機能をもたせたSiNからなるメモリ性絶縁膜13bを積層した二層膜となっている。なお、前記下層絶縁膜13aの膜厚は900Å、メモリ性絶縁膜13bの膜厚は100Åである。この下部ゲート絶縁膜13の上（メモリ性絶縁膜13bの上）には、アモルファスシリコンまたはポリシリコンからなるi型の半導体層14がトランジスタメモリの素子形状に対応するパターンに形成されており、この半導体層14の両側部の上には、n型半導体（n型不純物をドーパしたアモルファスシリコンまたはポリシリコン）からなるオーミックコンタクト層15を介して、ソース電極Sとドレイン電極Dが形成されている。このソース電極Sおよびドレイン電極Dはそ

れぞれ、下部ゲート絶縁膜13の上に前記下部ゲートライン GL_{10} と直交させて配線したソースラインSLおよびドレインラインDLにつながっている。そして、前記半導体層14およびソース、ドレイン電極S、Dの上には、基板11のほぼ全面にわたって、電荷蓄積機能のない窒化シリコンからなる上部ゲート絶縁膜16が形成されている。この上部ゲート絶縁膜16の上には、上部ゲートライン GL_{20} が下部ゲートライン GL_{10} と平行に配線されており、この上部ゲートライン GL_{20} のうちの半導体層14上の部分は上部ゲート電極 G_{20} とされている。

そして、前記下部ゲート電極 G_{10} と、平坦化絶縁膜12および電荷蓄積機能をもつ下部ゲート絶縁膜13と、半導体層14およびソース、ドレイン電極S、Dとは、逆スタガー型のメモリ用薄膜トランジスタ（以下、メモリトランジスタという） T_{10} を構成している。また、このメモリトランジスタ T_{10} のゲート電極である下部ゲート電極 G_{10} は、半導体層14のチャンネル長方向の中央部（ソース、ドレイン電極S、D間の中央部）に対向させて、半導体層14のチャンネル長方向幅のほぼ1/3の幅に形成されており、したがって下部ゲート絶縁膜13は、下部ゲート電極 G_{10} と対向する中央部だけがメモリ領域となっている。

一方、前記上部ゲート電極 G_{20} は、半導体層14の全体に対向する電極とされており、この上部ゲート電極 G_{20} と半導体層14との間の上部ゲート絶縁膜16は、下部ゲート絶縁膜13のメモリ領域（下部ゲート電極 G_{10} の対向部分）の上の部分と、ソース、ドレイン電極S、Dのほぼ中央に対向する位置からの外側の部分の膜厚を厚くし、前記メモリ領域とソース電極Sとの間およびメモリ領域とドレイン電極Dとの間の部分の膜厚をそれぞれ薄くした絶縁膜とされている。すなわち、この上部ゲート絶縁膜16は、半導体層13の全体を覆う下層絶縁膜16aと、この下層絶縁膜16aの表面全体に形成されたエッチングストップ用絶縁膜16bと、このエッチングストップ用絶縁膜16bの上に前記メモリ領域およびソース、ドレイン電極S、Dのほぼ中央から外側の部分にそれぞれ対応させて形成された上層絶縁膜16cとからなる積層間とされており、前記下層絶縁膜16aと上層絶縁膜16cは例えば電荷蓄積機能のないSiNで形成され、エッチングストップ用絶縁膜16bは例えば Al_2O_3 （アルミナ）で形成されている。また、下層絶縁膜16aの膜厚は1900Å、エッチングストップ用絶縁膜16bの膜厚は100Å、上層絶縁膜16cの膜厚は3000Åとされており、この上部ゲート絶縁膜16の厚膜部分（下層絶縁膜16aとエッチングストップ用絶縁膜16bと上層絶縁膜16cとからなる三層膜部分）の膜厚は、半導体層14のメモリ領域対応部分に上部ゲート電極 G_{20} からゲート電圧が印加されるのを防ぐのに十分な膜厚（5000Å）とされ、上部ゲート電極 G_{20} の薄膜部分（下層絶縁膜16aとエッチングストップ用絶縁膜16bとからなる二層膜部分）の膜厚は、半導体層14に上部ゲート電極 G_{20} から十分なゲート電圧を印加できる膜厚（2000Å）とされ

ている。なお、この上部ゲート絶縁膜16の膜厚部分は、ソース、ドレインラインSL,DLの長さ方向における絶縁膜全長に形成されている。

そして、前記メモリトランジスタ T_{10} の上には、前記半導体層14およびソース、ドレイン電極S,Dをメモリトランジスタ T_{10} と共用する2つの選択用薄膜トランジスタ（以下、選択トランジスタという） T_{20}, T_{20} が形成されている。この2つの選択トランジスタ T_{20}, T_{20} は、前記半導体層14およびソース、ドレイン電極S,Dと、電荷蓄積機能のない上部ゲート絶縁膜16と、上部ゲート電極 G_{20} とで構成されたコプラナー型薄膜トランジスタであり、一方の選択トランジスタ T_{20} は、半導体層14およびソース、ドレイン電極S,Dと、上部ゲート絶縁膜16の一方の薄膜部分と、上部ゲート電極 G_{20} とで構成され、他方の選択トランジスタ T_{20} は、前記半導体層14およびソース、ドレイン電極S,Dと、上部ゲート絶縁膜16の他方の薄膜部分と、上部ゲート電極 G_{20} とで構成されている。

この2つの選択トランジスタ T_{20}, T_{20} は、そのゲート電極（上部ゲート電極） G_{20} を半導体層14の全体に対向する電極としたことによってゲート側で共通接続されており、またこの両選択トランジスタ T_{20}, T_{20} は、そのソース、ドレイン電極S,Dをメモリトランジスタ T_{10} と共用したことによって、メモリトランジスタ T_{10} と直列に接続されている。

さらに、前記上部ゲート絶縁膜16の選択トランジスタ T_{20}, T_{20} を構成する2箇所の薄膜部分はそれぞれ、下部ゲート絶縁膜13のメモリ領域に対応する膜厚部分のチャンネル長方向の幅を下部ゲート電極 G_{10} のチャンネル長方向幅より小さくすることによって、下部ゲート電極 G_{10} の両側部にラップさせてある。このようにしているのは、メモリトランジスタ T_{10} と両選択トランジスタ T_{20}, T_{20} との電気的な接続を確保するためであり、上部ゲート絶縁膜16の選択トランジスタ T_{20}, T_{20} を構成する薄膜部分を下部ゲート電極 G_{10} にラップさせておけば、半導体層14のメモリトランジスタ T_{10} 領域と選択トランジスタ T_{20} 領域との境界部（下部ゲート絶縁膜13のメモリ領域に対応する部分の両側部）に、メモリトランジスタ T_{10} のゲート電極（下部ゲート電極） G_{10} からも選択トランジスタ T_{20}, T_{20} のゲート電極（上部ゲート電極） G_{20} からもゲート電圧を印加することができるから、メモリトランジスタ T_{10} と選択トランジスタ T_{20}, T_{20} との両方をONさせたときに、半導体層14を介してドレイン電極Dからソース電極Sに電流が流れる。なお、この実施例では、上部ゲート絶縁膜16のメモリ領域上の膜厚部分の幅を、下部ゲート電極 G_{10} の幅のほぼ1/2としているが、この膜厚部分の幅は、下部ゲート電極 G_{10} の幅以下であれば任意の幅でよく、要は、上部ゲート絶縁膜16の薄膜部分が下部ゲート電極 G_{10} の少なくとも側縁に対向していればよい。

第3図は前記薄膜トランジスタメモリの製造方法を示したもので、この薄膜トランジスタメモリは次のような工程で製造される。

まず、第3図（a）に示すように、基板11上にゲートライン GL_{10} となる金属膜30を500Åの厚さに堆積させ、その上に下部ゲート電極 G_{10} となる金属膜31を3000Åの厚さに堆積させる。なお、下部ゲート電極 G_{10} となる上層の金属膜31はTa（タンタル）等で形成し、ゲートライン GL_{10} となる下層の金属膜30は、前記上層の金属膜31とエッチングレートの異なる金属、例えばCr（クロム）等で形成する。

次に、第3図（b）に示すように、前記上層の金属膜31のフォトリソグラフィ法によりパターニングして下部ゲート電極 G_{10} を形成し、次いで前記下層の金属膜30をフォトリソグラフィ法によりパターニングしてゲートライン GL_{10} を形成する。

次に、第3図（c）に示すように、基板11上の全面に、SOG（スピン・オン・ガラス）と呼ばれるシラノール系無機絶縁物をスピンコート法により塗布してこれを約300℃で約1時間加熱し、下部ゲートライン GL_{10} 上の部分の膜厚が4000Å、下部ゲート電極 G_{10} 上の部分の膜厚が1000Åで、かつ上面が平坦な平坦化絶縁膜12を形成する。

次に、第3図（d）に示すように、前記平坦化絶縁膜12の上に、下部ゲート絶縁膜13の下層絶縁膜（電荷蓄積機能のないSiN膜）13aと、電荷蓄積機能をもつメモリ性絶縁膜（Siの組成比を多くしたSiN膜）13bとを、900Å、100Åの厚さに連続して順次堆積させて、この下層絶縁膜13aとメモリ性絶縁膜13bとからなる二層の下部ゲート絶縁膜13を形成し、その上に、i型アモルファスシリコンまたはi型ポリシリコンからなる半導体層14と、n型半導体（n型アモルファスシリコンまたはn型ポリシリコン）からなるオーミックコンタクト層15とを、1000Å、250Åの厚さに連続して順次堆積させ、さらにその上に、Cr等からなるソース、ドレイン電極用金属膜40を500Åの厚さに堆積させる。

次に、前記ソース、ドレイン電極用金属膜40をフォトリソグラフィ法によりパターニングして、第3図（e）に示すように、ソース、ドレイン電極S,Dおよびソース、ドレインラインSL,DLを形成し、次いでオーミックコンタクト層15をソース、ドレイン電極S,Dおよびソース、ドレインラインSL,DLの形状にパターニングする。

次に、第3図（f）に示すように、半導体層14をフォトリソグラフィ法によりトランジスタメモリの素子形状にパターニングして、メモリトランジスタ T_{10} を構成する。なお、この半導体層14は、ソースラインSLおよびドレインラインDLの下にもその全長にわたって残る。

次に、第3図（g）に示すように、基板11上の全面に、上部ゲート絶縁膜16の下層絶縁膜16aと、エッチン

グストップパ用絶縁膜16bと、上層絶縁膜16cを、1900Å、100Å、3000Åの厚さに堆積させる。

次に、第3図(h)に示すように、前記上層絶縁膜16cのうち、下部ゲート絶縁膜13のメモリ領域(下部ゲート電極G₁₀の対向部分)とソース電極Sとの間および前記メモリ領域とドレイン電極Dとの間の部分をフォトリソグラフィ法によってエッチング除去し、前記メモリ領域の上の部分とソース、ドレイン電極S、Dのほぼ中央に対向する位置から外側の部分とを、下層絶縁膜16aとエッチングストップパ用絶縁膜16bと上層絶縁膜16cとからなる三層膜部分構造の厚膜部分(膜厚5000Å)とし、前記メモリ領域とソース、ドレイン電極S、Dとの間の部分を、下層絶縁膜16aとエッチングストップパ用絶縁膜16bとからなる二層膜構造の薄膜部分(膜厚2000Å)の薄膜部分とした上部ゲート絶縁膜16を形成する。この場合、前記上層絶縁膜16cの除去部分をエッチングしても、このエッチングの進行はエッチングストップパ用絶縁膜16bによって阻止されるから、上層絶縁膜16cをパターニングするエッチング時に、下層絶縁膜16aがダメージを受けることはなく、したがって、この上部ゲート絶縁膜16は歩留よく形成することができる。

次に、第3図(i)に示すように、前記上部ゲート絶縁膜16の上にAl(アルミニウム)等の金属膜を4000Åの厚さに堆積させ、この金属膜をフォトリソグラフィ法によりパターニングして上部ゲート電極G₂₀および上部ゲートラインGL₂₀を形成して、2つの選択トランジスタT₂₀、T₂₀を構成し、薄膜トランジスタメモリを完成する。

なお、この製造方法では、下部ゲート電極G₁₀と平坦化絶縁膜12を第3図(a)～(c)に示した工程で形成しているが、この下部ゲート電極G₁₀と平坦化絶縁膜12は他の方法で形成することもできる。

すなわち、第4図は前記下部ゲート電極G₁₀と平坦化絶縁膜12を形成する他の方法を示している。

この方法は、下部ゲート電極G₁₀および下部ゲートラインGL₁₀を前述した方法で第4図(a)に示すように形成した後、第4図(b)に示すように、基板11上の全面にPSG(燐ガラス)からなる絶縁膜12Aを減圧CVD法により約4000Åの厚さに堆積させ、この後、850℃～1000℃の水蒸気雰囲気中で30分以上加熱するリフロー処理により前記絶縁膜12Aを平坦化して、第4図(c)に示すように、下部ゲートラインGL₁₀上の膜厚が約4000Å、下部ゲート電極G₁₀上の膜厚が約1000Åの平坦化絶縁膜12を形成する方法である。

なお、この第4図の方法で下部ゲート電極G₁₀と平坦化絶縁膜12を形成する場合も、これ以後は、第3図の(d)～(i)に示した工程で薄膜トランジスタメモリを製造する。

第5図は前記薄膜トランジスタメモリの等価回路図であり、この薄膜トランジスタメモリは、1つの薄膜トランジスタの中に、メモリトランジスタT₁₀と2つの選択

トランジスタT₂₀、T₂₀とを積層して形成した構成となっている。なお、第5図では1つの薄膜トランジスタメモリの等価回路を示しているが、この薄膜トランジスタメモリは、下部ゲートラインG₁₀および上部ゲートラインG₂₀とソース、ドレインラインSL、DLとの交差部にそれぞれ形成されている。

この薄膜トランジスタメモリの書込み、消去、読出しは次のようにして行なわれる。

第5図において、(a)は書込み時、(b)は消去時、(c)は読出し時の電圧印加状態を示している。

まず書込みについて説明すると、書込み時は、第5図(a)に示すように、ソース電極Sおよびドレイン電極Dを接地(GND)するとともに、選択トランジスタT₂₀、T₂₀のゲート電極G₂₀にON電圧V_{ON}を印加し、メモリトランジスタT₁₀のゲート電極G₁₀に書込み電圧+V_Pを印加する。このような電圧を印加すると、2つの選択トランジスタT₂₀、T₂₀がオンし、メモリトランジスタT₁₀のゲート電極G₁₀とソース、ドレイン電極S、Dとの間に書込み電圧+V_Pがかかって下部ゲート絶縁膜13のメモリ領域(メモリ性絶縁膜13bのゲート電極G₁₀対向部)に電荷がトラップされ、メモリトランジスタT₁₀が書込み状態(OFF状態)となる。

また消去時は、第5図(b)に示すように、ソース電極Sおよびドレイン電極Dを接地(GND)するとともに、選択トランジスタT₂₀のゲート電極G₂₀にON電圧V_{ON}を印加し、メモリトランジスタT₁₀のゲート電極G₁₀に、書込み電圧+V_Pとは逆電位の消去弾圧-V_Pを印加する。このような電圧を印加すると、選択トランジスタT₂₀、T₂₀がオンし、メモリトランジスタT₁₀のゲート電極G₁₀とソース、ドレイン電極S、Dとの間に書込み電圧+V_Pと逆電位の電位差(-V_P)が生じて下部ゲート絶縁膜13のメモリ領域にトラップされている電荷が放出され、メモリトランジスタT₁₀が消去状態(ON状態)となる。

一方、読出し時は、第5図(c)に示すように、メモリトランジスタT₁₀のゲート電極G₁₀とソース電極Sを接地(GND)するとともに、選択トランジスタT₂₀、T₂₀のゲート電極G₂₀にON電圧V_{ON}を印加し、ドレイン電極Dに読出し電圧V_Dを印加する。このような電圧を印加すると、メモリトランジスタT₁₀が消去状態(ON状態)であればドレイン電極Dからソース電極Sに電流が流れ、メモリトランジスタT₁₀が書込み状態(OFF状態)であれば前記電流は流れないため、ソース電極Sからソースラインに流れる電流の有無に応じた読出しデータが出力される。

すなわち、前記薄膜トランジスタメモリは、下部ゲート電極G₁₀と電荷蓄積機能をもつ下部ゲート絶縁膜13と半導体層14およびソース、ドレイン電極S、Dとを積層して構成したメモリトランジスタT₁₀の上に、電荷蓄積機能のない上部ゲート絶縁膜16上部ゲート電極G₂₀とを積層して、前記半導体層14およびソース、ドレイン電極S、DをメモリトランジスタT₁₀と共用する2つの選択トラン

11

ジスタ T_{20} , T_{20} を構成したものである。

この薄膜トランジスタメモリは、メモリトランジスタ T_{10} と選択用薄膜トランジスタ T_{20} , T_{20} とを積層して構成したものであるから、メモリトランジスタ T_{10} と選択トランジスタ T_{20} , T_{20} とで構成されるトランジスタメモリの素子面積を小さくして集積度を上げることができる。またこの薄膜トランジスタメモリでは、前記半導体層14およびソース、ドレイン電極S, Dをメモリトランジスタ T_{10} と選択トランジスタ T_{20} , T_{20} とに共用しているため、

前述したような少ない工程数で容易に製造することができる。

そして、この薄膜トランジスタメモリにおいては、下部ゲート電極 G_{10} を、基板11上に形成した下部ゲートライン GL_{10} の上に半導体層14の一部分に対向させて突出形成して、下部ゲート絶縁膜13の下部ゲート電極 G_{10} と対向する部分をメモリ領域とし、さらに前記下部ゲートライン GL_{10} および下部ゲート電極 G_{10} の上に、下部ゲートライン GL_{10} を厚く覆い、下部ゲート電極 G_{10} は薄く覆う平坦化絶縁膜12を形成して、この平坦化絶縁膜12の上に下部ゲート絶縁膜13を形成することにより、半導体層14のメモリ領域対応部分以外の部分と下部ゲートライン GL_{10} との間の絶縁膜（平坦化絶縁膜12と下部ゲート絶縁膜13）の層厚を厚くし、さらに、半導体層14と上部ゲート電極 G_{20} との間の上部ゲート絶縁膜16を、半導体層14の全体を覆う下層絶縁膜16aとその表面全体に形成したエッチングストップ用絶縁膜16bとその上に前記メモリ領域に対応させて形成した上層絶縁膜16cとからなる積層膜とすることにより、この上部ゲート絶縁膜16の膜厚を半導体層14のメモリ領域対応部分の上において厚くしているため、半導体層14の選択トランジスタ T_{20} 領域とメモリトランジスタ T_{10} のゲート電極である下部ゲート電極 G_{10} との間（下部ゲートライン GL_{10} との間）、および半導体層14のメモリトランジスタ T_{10} 領域（下部ゲート絶縁膜13のメモリ領域に対応する部分）と選択トランジスタ T_{20} , T_{20} のゲート電極である上部ゲート電極 G_{20} との間をそれぞれ確実に絶縁分離することができる。したがって、この薄膜トランジスタメモリによれば、選択トランジスタ T_{10} がメモリトランジスタ T_{10} のゲート電極（下部ゲート電極） G_{10} に印加するゲート電圧の影響で誤動作することなく、また、メモリトランジスタ T_{10} が選択トランジスタ T_{20} , T_{20} のゲート電極（上部ゲート電極） G_{20} に印加するゲート電圧の影響で誤動作することもないから、半導体層14およびソース、ドレイン電極S, Dを共用するメモリトランジスタ T_{10} と選択トランジスタ T_{20} , T_{20} とを積層して構成したものでありながら、メモリトランジスタ T_{10} と選択トランジスタ T_{20} , T_{20} とをそれぞれ正常に動作させて安定した書込み、消去、読出しを行なうことができる。

しかもこの薄膜トランジスタメモリでは、前記上部ゲート絶縁膜16を、下層絶縁膜16aの表面全体にエッチン

12

グストップ用絶縁膜16bを形成しその上に上層絶縁膜16cを形成した積層膜としているため、上層絶縁膜16を前記メモリ領域に対応する形状にパターニングするエッチング時に下層絶縁膜16aがダメージを受けることはなく、したがって、膜厚を半導体層14のメモリ領域対応部分の上において厚くした上部ゲート絶縁膜16を歩留よく形成して、薄膜トランジスタメモリの信頼性を向上させることができる。

また、この薄膜トランジスタメモリでは、上部ゲート絶縁膜16のソース、ドレイン電極S, Dのほぼ中央に対向する位置から外側の部分の膜厚も厚くしているため、上部ゲート電極 G_{20} とソース、ドレイン電極S, Dとの間の絶縁耐圧も十分である。

なお、前記実施例の薄膜トランジスタメモリは、1つのメモリトランジスタ T_{10} に対して2つの選択トランジスタ T_{20} を備えたものであるが、本発明は、1つのメモリトランジスタに対して1つの選択トランジスタを備えた薄膜トランジスタメモリにも適用できる。

第6図～第8図は本発明の第2の実施例を示している。この実施例の薄膜トランジスタメモリは、1つのメモリトランジスタ T_{10} に対して1つの選択トランジスタ T_{20} を備えたもので、第6図および第7図は薄膜トランジスタメモリの断面図および平面図であり、第8図は薄膜トランジスタメモリの等価回路図である。

この実施例の薄膜トランジスタメモリは、メモリトランジスタ T_{10} のゲート電極である下部ゲート電極 G_{10} を、基板11上に形成した下部ゲートライン GL_{10} の上に半導体層14の一部分に対向させて突出形成して、下部ゲート絶縁膜13の下部ゲート電極 G_{10} と対向する部分をメモリ領域とし、前記下部ゲートライン GL_{10} および下部ゲート電極 G_{10} の上に、下部ゲートライン GL_{10} を厚く覆い下部ゲート電極 G_{10} は薄く覆う平坦化絶縁膜12を形成して、この平坦化絶縁膜12の上に下部ゲート絶縁膜13を形成し、かつ選択トランジスタ T_{20} のゲート電極である上部ゲート電極 G_{20} は半導体層14の全体に対向させて形成するとともに、上部ゲート絶縁膜16を、半導体層14の全体を覆う下層絶縁膜16aとその表面全体に形成したエッチングストップ用絶縁膜16bとその上に前記メモリ領域に対応させて形成した上層絶縁膜16cとからなる積層膜とすることにより、この上部ゲート絶縁膜16の膜厚を前記メモリ領域に対応する部分の上において厚くしたもので、メモリトランジスタ T_{10} は、下部ゲート電極 G_{10} と、平坦化絶縁膜12および下部ゲート絶縁膜13と、半導体層14およびソース、ドレイン電極S, Dとによって構成され、選択トランジスタ T_{10} は、前記半導体層14およびソース、ドレイン電極S, Dと、上部ゲート絶縁膜16の薄膜部分と、上部ゲート電極 G_{20} とによって構成されている。

なお、この実施例の薄膜トランジスタメモリは、選択トランジスタ T_{20} を1つとただだけで、基本的な構成は前記第1の実施例と変わらないから、詳細な構造の説明

13

は図に同符号を付して省略する。また、この実施例の薄膜トランジスタメモリの書込み、消去、読出しは、第1の実施例の薄膜トランジスタメモリと同様に行なうことができる。

〔発明の効果〕

本発明の薄膜トランジスタメモリは、半導体層の一面側にメモリ用ゲート絶縁膜とメモリ用ゲート電極を形成し、半導体層の他面側に、ソース、ドレイン電極、およびゲート絶縁膜、選択トランジスタ用ゲート電極を形成するので、メモリ用ゲート電極と選択トランジスタ用ゲート電極が積層される構造となり、同一平面に並べて形成する場合に比して面積を小さくすることができる。

〔図面の簡単な説明〕

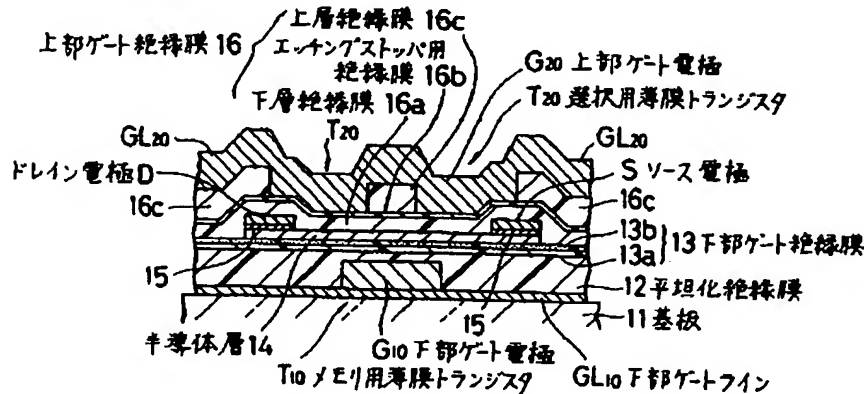
第1図～第5図は本発明の第1の実施例を示したもので、第1図および第2図は薄膜トランジスタメモリの断面図および平面図、第3図は薄膜トランジスタメモリの

14

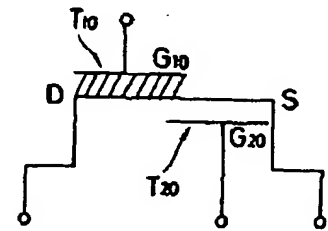
製造工程図、第4図は下部ゲート電極と平坦化絶縁膜の他の形成方法を示す工程図、第5図は薄膜トランジスタメモリの等価回路図である。第6図～第8図は本発明の第2の実施例を示したもので、第6図および第7図は薄膜トランジスタメモリの断面図および平面図、第8図は薄膜トランジスタメモリの等価回路図である。第9図は従来の薄膜トランジスタメモリの等価回路図である。

11……基板、T₁₀……メモリ用薄膜トランジスタ、T₂₀……選択用薄膜トランジスタ、GL₁₀……下部ゲートライン、G₁₀……下部ゲート電極、12……平坦化絶縁膜、13……下部ゲート絶縁膜、14……半導体層、15……オーミックコンタクト層、S……ソース電極、D……ドレイン電極、16……上部ゲート絶縁膜、16a……下層絶縁膜、16b……エッチングストップパ用絶縁膜、16c……上層絶縁膜、G₂₀……上部ゲート電極。

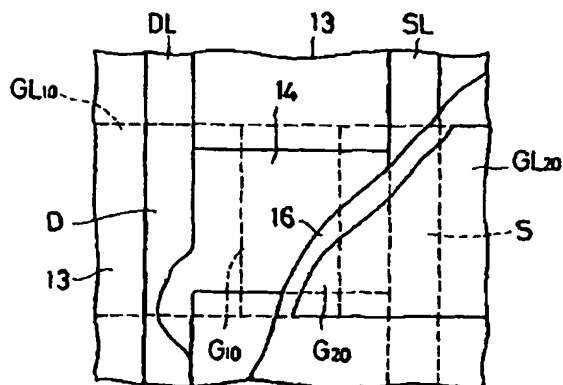
【第1図】



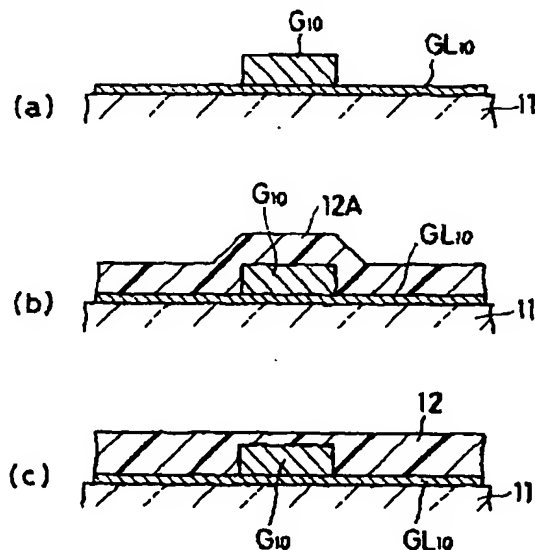
【第8図】



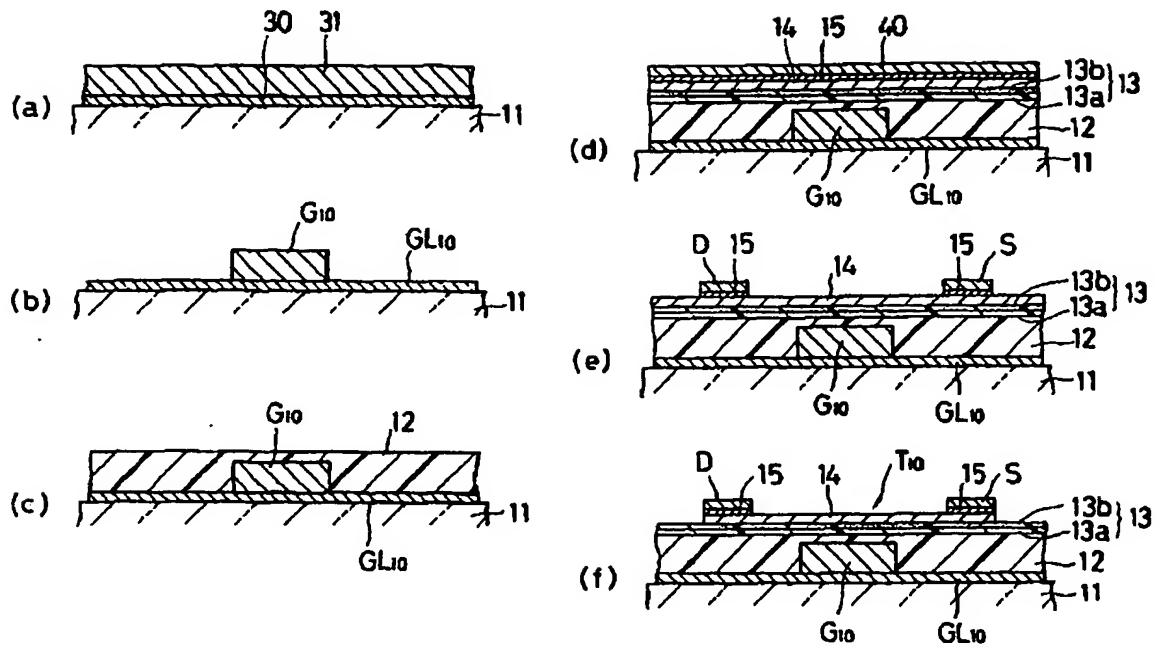
【第2図】



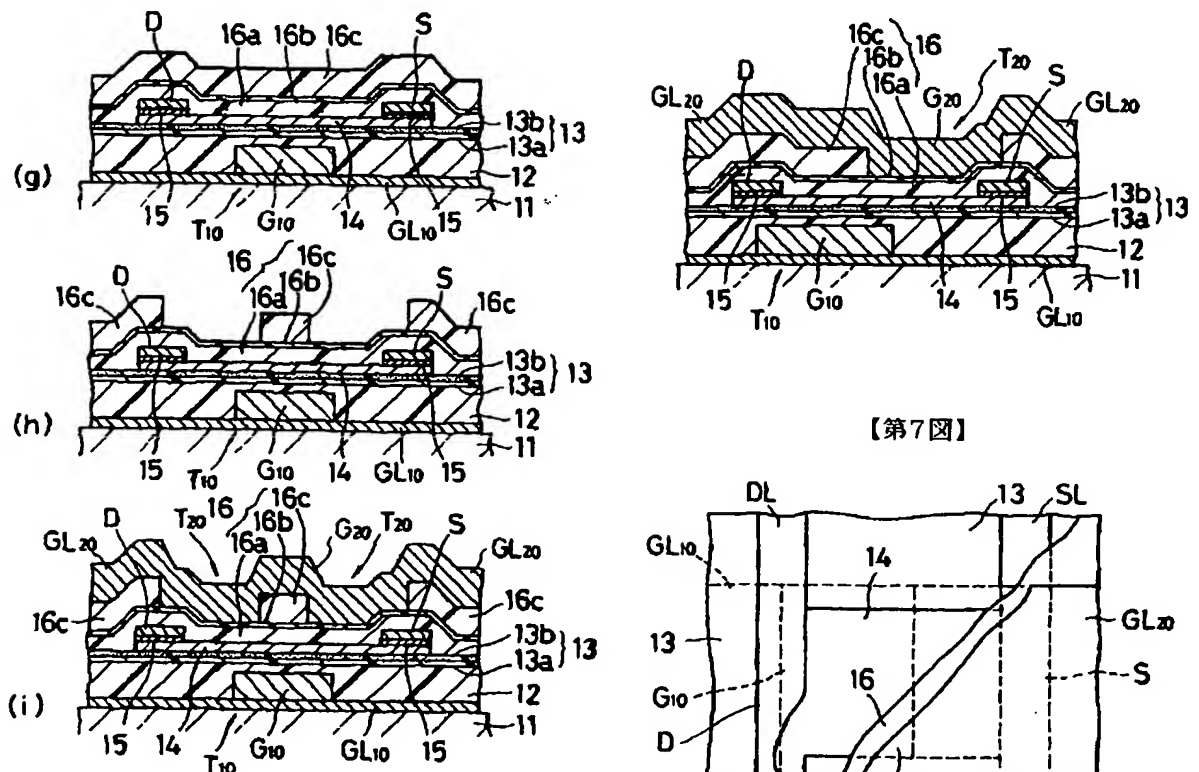
【第4図】



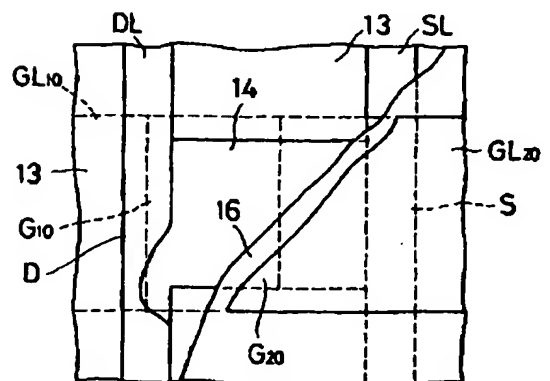
【第3図】



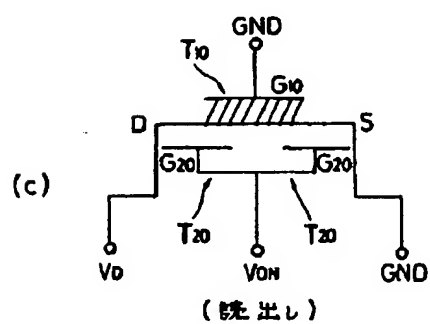
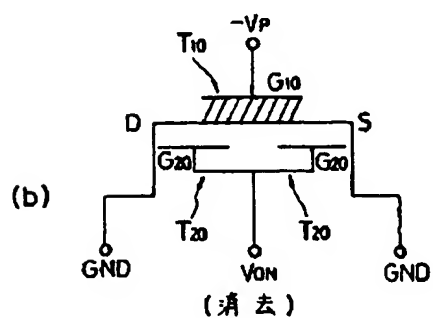
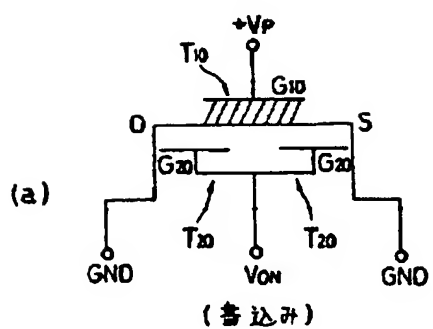
【第6図】



【第7図】



【第5図】



【第9図】

